

INTER-PROCESSOR COMMUNICATION SYSTEM

Patent Number: JP6069978
Publication date: 1994-03-11
Inventor(s): YAMAMOTO YUKIHIRO
Applicant(s): NEC COMMUN SYST LTD
Requested Patent: JP6069978
Application Number: JP19920223715 19920824
Priority Number(s):
IPC Classification: H04L29/06; G06F15/16; H04L12/40
EC Classification:
Equivalents:

Abstract

PURPOSE:To make communication without notifying an Endian of an opposite processor by unifying the Endian of communication between processors.
CONSTITUTION:When a packet from a little Endian processor 3 or 8 is received by a big Endian processor 13 or 19, an Endian conversion processing section 15 or 21 of the big Endian processor 13 or 19 converts the little Endian of the received packet data into the big Endian. When the big Endian processor 13 or 19 sends a packet to the little Endian processor 3 or 8, the big Endian processor 13 or 19 uses the Endian conversion processing section 15 or 21 to convert the packet data generated as the bit endian by a packet processing section 16 or 22 into the data with the little Endian and sends the data to the opposite processor.

Data supplied from the **esp@cenet** database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-69978

(43) 公開日 平成6年(1994)3月11日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 29/06				
G 0 6 F 15/16	3 1 0 R	8840-5L		
H 0 4 L 12/40				
		8020-5K	H 0 4 L 13/00	3 0 5 B
		7341-5K	11/00	3 2 0
			審査請求 未請求 請求項の数1(全 4 頁)	

(21) 出願番号 特願平4-223715

(22) 出願日 平成4年(1992)8月24日

(71) 出願人 000232254

日本電気通信システム株式会社
東京都港区三田1丁目4番28号

(72) 発明者 山本 幸弘

東京都港区三田一丁目4番28号日本電気通
信システム株式会社内

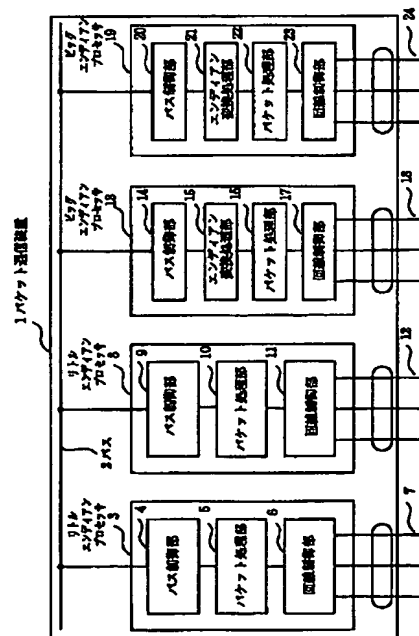
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 プロセッサ間通信方式

(57) 【要約】 (修正有)

【目的】 プロセッサ間通信のエンディアンを統一し、相手プロセッサのエンディアンを意識することなく通信を行う。

【構成】 リトルエンディアンプロセッサ3または8からのパケットを、ビッグエンディアンプロセッサ13または19が受信した場合、ビッグエンディアンプロセッサ13または19は、受信したパケットのデータをエンディアン変換処理部15または21でリトルエンディアンからビッグエンディアンに変換する。ビッグエンディアンプロセッサ13または19がリトルエンディアンプロセッサ3または8へパケットを送信する場合、ビッグエンディアンプロセッサ13または19は、パケット処理部16または22でビッグエンディアンとして生成されたパケット上のデータを、エンディアン変換処理部15または21でリトルエンディアンに変換して相手プロセッサへ送信する。



【特許請求の範囲】

【請求項1】 1個以上のリトルエンディアンプロセッサと、1個以上のビッグエンディアンプロセッサとを備え、バスにより密結合されているマルチプロセッサシステムにおいて、前記ビッグエンディアンプロセッサにエンディアンの変換処理を行うエンディアン変換手段を設け、前記バス上へデータを送信するときには前記エンディアン変換手段によって前記データをリトルエンディアンに変換し、前記バスからデータを受信したときには、前記エンディアン変換手段によってこの受信したデータをリトルエンディアンからビッグエンディアンに変換することを特徴とするプロセッサ間通信方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はマルチプロセッサシステムに関し、特に装置内部に、1個以上のリトルエンディアンプロセッサと、1個以上のビッグエンディアンプロセッサとが混在し、バスにより密結合されているパケット通信装置のプロセッサ間通信方式に関する。

【0002】

【従来の技術】従来、この種の処理装置でバスにより密結合されているプロセッサのエンディアンは、リトルエンディアンかビッグエンディアンのいずれかに統一されているため、プロセッサ間通信では、エンディアン変換処理は行っていない。

【0003】

【発明が解決しようとする課題】上述した従来のマルチプロセッサシステムのプロセッサ間通信方式では、プロセッサのエンディアンが統一されているため、エンディアン変換機能がなく、異なるエンディアンのプロセッサがパケット通信装置内で密結合された場合、プロセッサ間通信ができないという問題点があった。

【0004】本発明の目的は、リトルエンディアンプロセッサとビッグエンディアンプロセッサとが混在し、これらがバスにより密結合されているマルチプロセッサシステムで、ビッグエンディアンプロセッサが、エンディアン変換処理を行い、プロセッサ間通信のエンディアンをリトルエンディアンとして統一し、相手プロセッサのエンディアンを意識することなくプロセッサ間通信を行うことができるプロセッサ間通信方式を提供することにある。

【0005】

【課題を解決するための手段】本発明のプロセッサ間通信方式は、1個以上のリトルエンディアンプロセッサと、1個以上のビッグエンディアンプロセッサとを備え、バスにより密結合されているマルチプロセッサシステムにおいて、前記ビッグエンディアンプロセッサにエンディアンの変換処理を行うエンディアン変換手段を設け、前記バス上へデータを送信するときには前記エンディアン変換手段によって前記データをリトルエンディ

ンに変換し、前記バスからデータを受信したときには、前記エンディアン変換手段によってこの受信したデータをリトルエンディアンからビッグエンディアンに変換する構成である。

【0006】

【実施例】次に本発明について図面を参照して説明する。

【0007】図1は本発明の一実施例を説明するためのマルチプロセッサシステムであるパケット通信装置の構成図である。図1において、1個以上のリトルエンディアンプロセッサと1個以上のビッグエンディアンプロセッサとが混在し、バス2により密結合されているマルチプロセッサシステムの例として、パケット通信装置1は、リトルエンディアンプロセッサ3、8、及びビッグエンディアンプロセッサ13、19から構成されており、リトルエンディアンプロセッサ3と8は、それぞれバス制御部4と9、パケット処理部5と10、及び回線制御部6と11とから構成され、ビッグエンディアンプロセッサ13と19は、それぞれバス制御部14と20、エンディアン変換処理部15と21、パケット処理部16と22、回線制御部17と23とから構成されている。

【0008】始めに、リトルエンディアンプロセッサ3または8と、ビッグエンディアンプロセッサ13または19間でプロセッサ間通信を行った場合について説明する。

【0009】この場合、リトルエンディアンプロセッサ3または8の回線制御部6または11は、回線7または12からのデータを受信し、パケット処理部5または10でリトルエンディアンのデータのバケットを生成し、バス制御部4または9がこのバケットをリトルエンディアンとしてバス2へ送信する。

【0010】一方、ビッグエンディアンプロセッサ13または19は、リトルエンディアンプロセッサ3または8からのバケットをバス制御部14または20で受信する。そして、エンディアン変換処理部15または21はこの受信バケットをリトルエンディアンからビッグエンディアンに変換する。この時、エンディアン変換処理部15または21は、送信元プロセッサのエンディアンとは無関係にバケットのデータをビッグエンディアンからリトルエンディアンに変換する。エンディアン変換されたバケットは、パケット処理部16または22で処理された後、回線制御部17または23により回線8または24へ送出される。

【0011】つまりこの場合、受信側プロセッサであるビッグエンディアンプロセッサ13または19がバケットの受信処理でエンディアン変換を行うことで、プロセッサ間通信をリトルエンディアンとして実現する。

【0012】また、ビッグエンディアンプロセッサ13または19から、リトルエンディアンプロセッサ3また

3

は8へパケットを送信する場合は、以下のようになる。

【0013】ビッグエンディアンプロセッサ13または19の回線制御部17または23は、回線18または24からのデータを受信し、パケット処理部16または22でビッグエンディアンのデータのバケットを生成する。エンディアン変換処理部15または21はパケット処理部16または22で生成されたバケットのビッグエンディアンのデータをリトルエンディアンへ変換する。この時、エンディアン変換部15または21は送信先プロセッサのエンディアンとは無関係にバケットのデータをビッグエンディアンからリトルエンディアンに変換する。バス制御部14または20では、エンディアン変換処理部15または21でリトルエンディアンに変換されたバケットをバス2上へ送信する。

【0014】一方、リトルエンディアンプロセッサ3または8は、ビッグエンディアンプロセッサ13または19からリトルエンディアンのバケットをバス制御部4または9で受信し、パケット処理部5または10で処理した後、回線制御部6または11により、回線7または12へ送出する。

【0015】つまりこの場合、送信側プロセッサであるビッグエンディアンプロセッサ13または19がバケット送信処理でエンディアン変換処理を行うことで、プロセッサ間通信をリトルエンディアンとして実現する。

【0016】次にビッグエンディアンプロセッサ13とビッグエンディアンプロセッサ19間でプロセッサ間通信を行った場合について説明する。

【0017】ビッグエンディアンプロセッサ13からビッグエンディアンプロセッサ19へバケット送信する場合の送受信処理を想定すると以下に示すようになる。ビッグエンディアンプロセッサ13の回線制御部17は回線18からのデータを受信し、パケット処理部16でビッグエンディアンのバケットを生成する。エンディアン処理部15は、バケット処理部16で生成されたビッグエンディアンバケットを、リトルエンディアンへ変換する。この時、エンディアン変換処理部15は、エンディアン変換処理を送信先プロセッサのエンディアンとは無関係に、バケットをビッグエンディアンからリトルエンディアンに変換する。バス制御部14はエンディアン変換処理部15でリトルエンディアンに変換されたバケットを、バス2上へ送信する。

【0018】一方、ビッグエンディアンプロセッサ19は、ビッグエンディアンプロセッサ13からのリトルエンディアンのバケットをバス制御部20で受信する。エンディアン変換処理部21では、この受信バケットをリトルエンディアンからビッグエンディアンに変換する。この時、エンディアン変換処理部21は、エンディアン

4

変換処理を送信先プロセッサのエンディアンとは無関係にバケットをビッグエンディアンからリトルエンディアンに変換する。エンディアン変換されたバケットは、パケット処理部22で処理された後、回線制御部23により、回線24へ送出される。

【0019】つまりこの場合、送信側プロセッサであるビッグエンディアンプロセッサ13がバケット送信処理で、また、受信側プロセッサであるビッグエンディアンプロセッサ19がバケット受信処理中で、エンディアン変換処理を行うことでプロセッサ間通信をリトルエンディアンとして実現する。

【0020】次に、リトルエンディアンプロセッサ3と、リトルエンディアンプロセッサ8間で、プロセッサ間通信を行った場合について説明する。

【0021】リトルエンディアンプロセッサ3から、リトルエンディアンプロセッサ8へバケット送信する場合の送信処理は以下のようになる。

【0022】この場合、送信処理は前述したリトルエンディアンプロセッサ3または8から、ビッグエンディアンプロセッサ15または19へバケット送信する場合のリトルエンディアンプロセッサ3または8の処理と同様になる。また、受信処理は前述したビッグエンディアンプロセッサ13または19から、リトルエンディアンプロセッサ3または8へバケット送信する場合のリトルエンディアンプロセッサ3または8の処理と同じになる。

【0023】

【発明の効果】以上説明したように本発明は、ビッグエンディアンプロセッサ内に設けたエンディアン変換処理機能により、エンディアンの異なる密結合されたプロセッサ間の通信を、リトルエンディアンとしてエンディアンを統一することで、通信相手プロセッサのエンディアンを意識することなく通信できるという効果を有する。

【0024】

【図面の簡単な説明】

【図1】本発明の一実施例を説明するためエンディアンが混在するバケット通信装置の構成図である。

【符号の説明】

- 1 バケット通信装置
- 2 バス
- 3, 8 リトルエンディアンプロセッサ
- 4, 9, 14, 20 バス制御部
- 5, 10, 16, 22 バケット処理部
- 6, 11, 17, 23 回線制御部
- 7, 12, 18, 24 端末収容回線群
- 13, 19 ビッグエンディアンプロセッサ
- 15, 21 エンディアン変換処理部

(4)

【図1】

